

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181571

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 J	3/00		H 0 3 J	3/00
	5/02			5/02
H 0 4 B	1/26		H 0 4 B	1/26
				D
				A

審査請求 未請求 請求項の数 4 F D (全 16 頁)

(21) 出願番号 特願平7-351047

(22) 出願日 平成7年(1995)12月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 富山 均

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

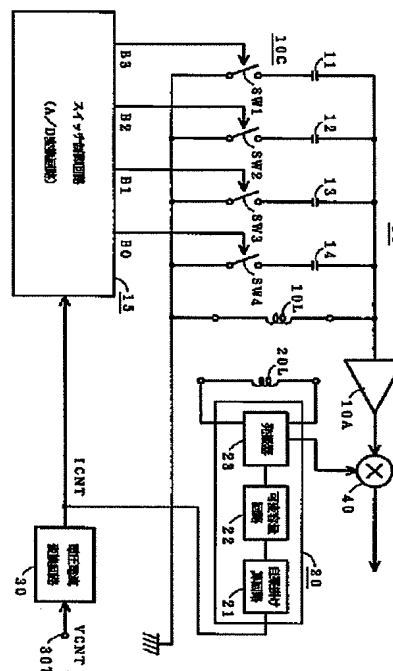
(74) 代理人 弁理士 佐藤 正美

(54) 【発明の名称】 A/D変換回路および可変容量回路

## (57) 【要約】

【課題】 IC化が容易な可変容量回路およびこれに用いられるA/D変換回路を提供する。

【解決手段】 複数の容量11~14と、これら複数の容量11~14を用いた総合容量の値を変更するための複数のスイッチSW1~SW4と、入力制御電流ICNTの値に基づいて、複数のスイッチのそれぞれのオン・オフ状態を制御して、前記総合容量の値を決め、同調周波数を決定するスイッチ制御回路とからなる。このスイッチ制御回路が、入力制御電流ICNTをA/D変換するA/D変換回路15で構成される。このA/D変換回路15の各ビット出力により、複数のスイッチSW1~SW4のそれぞれをオン・オフ制御する。



## 【特許請求の範囲】

【請求項 1】入力電流を A/D 変換する A/D 変換回路であって、

ビット数分の基準電流源と、

ビット数分の比較回路と、

最下位ビットを除く各ビットごとに設けられ、前記入力電流あるいは 1 ビット上位における後記絶対値回路の出力との差分を得る減算回路と、

最下位ビットを除く各ビットごとに設けられ、前記減算回路の結果を絶対値化する絶対値回路と、

最上位ビットを除く各ビットごとに設けられ、前記各ビットの比較回路の出力と、そのビットよりも 1 ビット上位のビットの比較回路の出力とを入力とするイクスクルーシブオア回路とを備える A/D 変換回路。

【請求項 2】請求項 1 に記載の A/D 変換回路において、PNP トランジスタと、NPN トランジスタとを直列に接続し、それらトランジスタが B クラス動作するようにバイアスする回路構成を用いたことを特徴とする A/D 変換回路。

【請求項 3】複数の容量と、これら複数の容量を用いた総合容量の値を変更するための複数のスイッチと、入力制御電流の値に基づいて、前記複数のスイッチのそれぞれのオン・オフ状態を制御して、前記総合容量の値を決めるためのスイッチ制御回路とを備え、前記スイッチ制御回路が、前記入力制御電流を A/D 変換する A/D 変換回路で構成され、この A/D 変換回路の各ビット出力により、前記複数のスイッチのそれぞれをオン・オフ制御するようにしたことを特徴とする可変容量回路。

【請求項 4】請求項 3 に記載の可変容量回路において、前記 A/D 変換回路が、

ビット数分の基準電流源と、

ビット数分の比較回路と、

最下位ビットを除く各ビットごとに設けられ、前記入力制御電流あるいは 1 ビット上位における後記絶対値回路の出力との差分を得る減算回路と、

最下位ビットを除く各ビットごとに設けられ、前記減算回路の結果を絶対値化する絶対値回路と、

最上位ビットを除く各ビットごとに設けられ、前記各ビットの比較回路の出力と、そのビットよりも 1 ビット上位のビットの比較回路の出力とを入力とするイクスクルーシブオア回路とを備える A/D 変換回路で構成されることを特徴とする可変容量回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、例えば AM ラジオ受信機の高周波増幅回路の同調回路に適用して好適な可変容量回路およびこの可変容量回路を構成するのに適する A/D 変換回路に関する。

## 【0002】

【従来の技術】スーパーヘテロダイン型の AM ラジオ受信機の構成は、図 14 に示すようなものである。

【0003】すなわち、アンテナ 1 で AM 放送電波を受信して得た微弱な信号は高周波増幅回路 2 で増幅され、

05 この増幅された信号がミキサ回路 4 で、局部発振回路 3 からの局部発振信号と混合されて中間周波信号に周波数変換される。ミキサ回路 4 の出力には、中間周波信号以外の信号成分も含まれるため、ミキサ回路 4 の出力は中間周波フィルタ 5 に供給されて、中間周波信号のみが取り出される。

10 【0004】この中間周波信号は中間周波増幅回路 6 で増幅される。そして、増幅された中間周波信号が AM 検波回路 7 で検波されて音声信号が復調され、音声増幅回路 8 を通じてスピーカ 9 に供給される。

15 【0005】中間周波数は固定の値であり、受信周波数は局部発振周波数の値を変えることで決定される。このため、局部発振回路 3 には、同調周波数の変えられる同調回路が設けられる。また、高周波増幅回路 2 の入力部には、雑音指数の改善と妨害特性の改善のため同調回路 2T が設けられる。したがって、高周波増幅回路 2 の同調周波数と、局部発振回路 3 の同調周波数の差が中間周波数になる。この中間周波数が前述の固定値になるように、高周波増幅回路 2 の同調周波数と、局部発振回路 3 の同調周波数とは、連動して変えられて、受信周波数が

25 変えられる。  
【0006】このように中間周波数が前述の固定値になるように、高周波増幅回路 2 の同調周波数と、局部発振回路 3 の同調周波数とを連動して変えることをトラッキングという。そして、トラッキングのために、どのようにして同調周波数を変えるかが、チューニング方式である。

【0007】ラジオ受信機のチューニング方式には、アナログ方式とデジタル方式とがある。アナログチューニング方式は、同調回路にバリابلコンデンサ（以下、バリコンという）を使用したもので、チューニングつまみを回すことにより、高周波増幅回路の同調周波数と局部発振回路の同調周波数とを連続的に可変させて、希望する受信周波数を選択する。

【0008】デジタルチューニング方式は、高周波増幅回路 2 の同調回路をバーアンテナと可変容量ダイオード（バリキャップ）とで構成し、局部発振回路 3 の発振器の同調回路をコイルと可変容量ダイオードとにより構成する。そして、局部発振回路 3 を PLL の構成として、その発振器を可変周波数発振回路（以下 VCO という）とし、この VCO に供給する制御電圧 VC を、PLL を構成する可変分周器の分周比 N を変えることで変える。この制御電圧 VC により、局部発振周波数および高周波同調周波数を変え、例えば AM 放送のラジオ受信機であれば、9 kHz あるいは 10 kHz おきに離散的に受信周波数を変え、希望する放送周波数を選択する。前記分

周比 $N$ は、例えばマイクロコンピュータから与えられる。

【0009】このデジタルチューニング方式の場合、希望する放送局の受信周波数をミキサ回路4で中間周波数に変換するための局部発振周波数を得るための分周比 $N$ を、例えばボタンに対応してメモリにプリセットしておくことにより、当該ボタンを押すだけで、希望する受信周波数の放送を選局することができ、アナログ方式のようなチューニングつまみによる微調整を必要としないので、使い勝手が良いという特徴がある。また、デジタルチューニング方式のラジオ受信機は、IC化も容易になるというメリットがある。

【0010】このため、ラジオ受信機の分野においては、アナログチューニング方式から、デジタルチューニング方式へとチューニング方式は変化してきている。

【0011】図15は、従来のデジタルチューニング方式のAMラジオ受信機におけるトラッキングを説明するための図で、図14のアンテナ1～ミキサ回路4の部分を示す図である。

【0012】すなわち、図15において、コイル1Lはバーアンテナ1を示している。高周波増幅回路2は、増幅器2Aと、同調回路を構成するバーアンテナとしてのコイル1Lおよび可変容量ダイオード2Cとからなっている。また、局部発振回路3は、発振器3Aと、この発振器3Aの同調回路を構成するコイル3Lおよび可変容量ダイオード3Cとからなっている。

【0013】そして、制御電圧 $V_C$ が、抵抗2Rを介して可変容量ダイオード2Cに印加されると共に、抵抗3Rを介して可変容量ダイオード3Cに印加されることにより、高周波増幅回路2の同調周波数と、局部発振周波数とが連動して変わるようにされている。

【0014】そして、前述したように、高周波増幅回路2の増幅器2Aの出力信号と、局部発振回路3からの局部発振信号とが、ミキサ回路4に供給されて、中間周波信号に周波数変換される。

【0015】

【発明が解決しようとする課題】ところで、AMラジオ受信機の図14の回路構成をIC化する場合、上述した高周波増幅回路2の同調回路および局部発振回路3の発振器3Aの同調回路を構成する可変容量ダイオード2C、3C、コイル2L、3L、抵抗R2、R3等は、ICの外付け部品となる。

【0016】また、可変容量ダイオードに供給する制御電圧は比較的大きな電圧であるため、この可変容量ダイオードに印加する制御電圧を作り出すために電圧昇圧回路を必要としていた。

【0017】このように、従来の回路は、IC化したときに、外付け部品点数が多く、特に、可変容量ダイオードは高価であり、また、電圧昇圧回路を必要とするため、アナログチューニング方式に比べ、製造コストが高

くなってしまうという問題があった。

【0018】また、制御電圧 $V_C$ をICに外付けの抵抗R2およびR3を通じて高周波増幅回路2の同調回路および局部発振回路の発振器の同調回路に供給するため、ICに同調周波数の制御端子が2個必要になる。そして、同調周波数を連動して変えるようにするために、製造時に、いわゆるトラッキング調整が必要になるが、高周波増幅回路2の同調回路と、局部発振回路の発振器の同調回路とで、それぞれ独立して調整を行う必要があり、調整が厄介であるという問題もあった。

【0019】以上の問題を解決するためには、高周波同調回路として、可変容量ダイオードを用いず、IC化が容易な構成とする必要がある。

【0020】この発明は、以上の点にかんがみ、高周波同調回路として好適であり、IC化が容易な可変容量回路およびこの可変容量回路を構成するために好適なA/D変換回路を提供することを目的としている。

【0021】

【課題を解決するための手段】上記課題を解決するため、この発明においては、複数の容量と、これら複数の容量を用いた総合容量の値を変更するための複数のスイッチと、入力制御電流の値に基づいて、前記複数のスイッチのそれぞれのオン・オフ状態を制御して、前記総合容量の値を決め、同調周波数を決定するためのスイッチ制御回路とを備え、前記スイッチ回路が、前記入力制御電流をA/D変換するA/D変換回路で構成され、このA/D変換回路の各ビット出力により、前記複数のスイッチのそれぞれをオン・オフ制御するようにした可変容量回路を提供することを特徴とする。

【0022】そして、特に、前記のA/D変換回路として、入力電流をA/D変換するA/D変換回路であって、ビット数分の基準電流源と、ビット数分の比較回路と、最下位ビットを除く各ビットごとに設けられ、前記入力電流あるいは1ビット上位における後記絶対値回路の出力との差分を得る減算回路と、最下位ビットを除く各ビットごとに設けられ、前記減算回路の結果を絶対値化する絶対値回路と、最上位ビットを除く各ビットごとに設けられ、前記各ビットの比較回路の出力と、そのビットよりも1ビット上位のビットの比較回路の出力とを入力とするイクスクリューシブオア回路とを備えるものを使用するとIC化が容易である。

【0023】上述の構成の、この発明による可変容量回路においては、複数の容量の総合容量を、A/D変換回路のビット出力によるスイッチ制御により、変えることができる。

【0024】

【発明の実施の形態】以下、この発明による可変容量回路およびA/D変換回路を、AMラジオ受信機の高周波増幅回路の同調回路に適用した場合の一実施の形態について、図を参照しながら説明する。

【0025】図1は、図15と同様に、この実施の形態のAMラジオ受信機の高周波増幅回路10からミキサ回路40までの部分のブロック図を示すもので、バーアンテナを構成しているコイル10Lおよび局部発振回路20の同調回路を構成するインダクタンス（コイル）20Lを除き、すべてIC内に構成されているものである。

【0026】この実施の形態においては、高周波増幅回路10は、増幅器10Aと、バーアンテナのコイル10Lと共に同調回路を構成する可変容量回路10Cとからなる。この可変容量回路10Cは、複数個、この例では4個の容量11, 12, 13, 14と、これら4個の容量11～14のそれぞれを、コイル10Lに対して並列に接続するか否かを切り換え制御するスイッチSW1, SW2, SW3, SW4と、これらスイッチSW1～SW4のオン・オフを制御する制御信号を構成するスイッチ制御回路としてのA/D変換回路15とからなる。

【0027】そして、端子30Tを通じてトラッキング用の制御電圧VCNTが、このICに入力され、電圧電流変換回路30により電流ICNTに変換される。そして、この電流ICNTがスイッチ制御回路としてのA/D変換回路15でA/D変換され、この回路15から、この電流ICNTの値に対応した4ビットのデジタル出力B3, B2, B1, B0が得られる。そして、これら4ビットのデジタル出力B3～B0のそれぞれにより、スイッチSW1～SW3がオン・オフ制御される。

【0028】また、局部発振回路20は、この実施の形態では、自乗掛け算回路21と、容量可変回路22と、コイル20Lを同調回路に含む発振器23とからなり、可変容量ダイオードを用いない構成とされている。

【0029】自乗掛け算回路21は、電圧電流変換回路30からの前記制御電圧VCNTが変換された電流ICNTを受けて、この電流ICNTを自乗する。容量可変回路22は、後で詳述するように、この自乗掛け算回路21からの電流に応じて増幅度gmが変化する差動増幅器と抵抗および容量とにより構成される。発振器23は、この容量可変回路22からなる可変容量とコイル20Lとで同調回路を構成する。

【0030】なお、端子30Tを通じて入力される制御電圧VCNTは、前述もしたように、図1のICに対して外付けとされ、発振器23をその一部に含むPLLにおいて生成される。すなわち、発振器23からの局部発振信号を可変分周器により分周した周波数信号と、基準発振器からの基準周波数信号とを位相比較し、その比較出力をローパスフィルタにより積分して前記制御電圧V

$$ICNT = VCNT \times R5 / \{ (R5 + R6) R3 \}$$

$$= K_r \cdot VCNT$$

となる。すなわち、出力電流ICNTは、入力制御電圧VCNTを抵抗で割った値となり、入力制御電圧VCNTに比例する。(1)式のKrは比例定数である。

【0040】この出力電流ICNTは、トランジスタP

CNTを得る。

【0031】以上のように、高周波増幅回路10および局部発振回路20は可変容量ダイオードを使用しない構成とされている。

【0032】前述したように、高周波増幅回路10、局部発振回路20および電圧電流変換回路30は、IC化されている。

【0033】図2は電圧電流変換回路30の部分、図3は局部発振回路20の部分のIC化回路の具体例を示し、図2の記号#1～#5と、図3の記号#1～#5の部分が重なるものである。

【0034】まず、図2の電圧電流変換回路30について説明する。この電圧電流変換回路30は、トランジスタP4～P15と、トランジスタQ11, Q12と、抵抗R3～R6とからなる。トランジスタQ11, Q12および電流源I4は差動増幅器を構成し、トランジスタP6のベースとトランジスタP11のベースは、この差動増幅器の入力端に相当する。

【0035】なお、トランジスタP12, Q13, 抵抗R7および直流電圧源E1は、電圧電流変換回路30のバイアス電流を生成する回路である。

【0036】そして、端子30Tを通じて制御電圧VCNTが電圧電流変換回路30に入力される。端子30Tは、抵抗R5, R6の直列接続を通じて接地されており、抵抗R5, R6の接続中点がトランジスタP11のベースに接続されている。すなわち、差動増幅器の一方の入力端であるトランジスタP11のベースには、制御電圧VCNTを抵抗R5, R6で分圧した電圧が印加される。

【0037】差動増幅器においては、トランジスタQ12のコレクタから出力電流が取り出されるが、このトランジスタQ12のコレクタは、トランジスタP5のベースに接続されているので、トランジスタP5には、トランジスタQ12に流れる電流に応じた電流が流れる。このトランジスタP5を流れる電流が、電圧電流変換回路30の出力電流ICNTである。

【0038】この場合、このトランジスタQ12に流れる出力電流は、この差動増幅器の負入力側に帰還されており、これにより、トランジスタQ11, Q12のベース電位は、同電位になり、入力トランジスタP11, P6のベース電位も同電位になるように働く。

【0039】そして、トランジスタP5のエミッタ側には、トランジスタP4を介して抵抗R3が接続されているので、出力電流ICNTは、

$$\dots (1)$$

5とカレントミラーの関係のトランジスタP13およびトランジスタP14, P15を介してスイッチ制御回路としてのA/D変換器15に供給される。

【0041】また、出力電流ICNTは、トランジスタ

P5とカレントミラーの関係を有し、エミッタ面積が標準トランジスタP5の5倍のトランジスタP3（図3）により、5倍の電流値にされ、図3に示す、自乗掛け算回路21に供給される。

【0042】なお、この明細書における具体回路図において、トランジスタのエミッタ側に記載した数値は、標準トランジスタに対するエミッタ面積比をそれぞれ示しているおり、数値がないトランジスタは面積比が1である標準トランジスタを示している。

【0043】自乗掛け算回路21は、トランジスタQ7～Q10により構成される。トランジスタQ7は、容量可変回路22を構成する差動増幅器の電流源を構成する。そして、電圧源E1（図2参照）からの電圧がトランジスタQ8のコレクタに印加される。このトランジスタQ8のエミッタは、電流源I2を通じて接地されると共に、トランジスタQ7のベースに接続されている。また、トランジスタQ8のベースは、トランジスタQ9のベースに接続されると共に、電流源I3を通じて接地されている。トランジスタQ9は、ダイオード接続され、トランジスタP3のエミッタ側に設けられている。また、トランジスタQ10もダイオード接続されており、トランジスタQ9と接地間に設けられる。トランジスタQ10のベースは、図2のトランジスタP4に接続され

$$\begin{aligned} V_{BE9} + V_{BE10} &= V_{BE7} + V_{BE8} \\ V_T \ln(I_{C9}/5I_s) + V_T \ln(I_{C10}/5I_s) &= V_T \ln(I_{C7}/5I_s) + V_T \ln(I_{C8}/I_s) \\ V_T \ln(I_{C9} \cdot I_{C10}/5I_s \cdot 5I_s) &= V_T \ln(I_{C7} \cdot I_{C8}/5I_s \cdot I_s) \\ I_{C9} \cdot I_{C10}/5I_s \cdot 5I_s &= I_{C7} \cdot I_{C8}/5I_s \cdot I_s \\ I_{C7} &= I_{C9} \cdot I_{C10}/5I_{C8} \quad \dots (2) \end{aligned}$$

となる。

【0047】ここで、 $I_{C9} = I_{C10} = I_{in}$

$$\begin{aligned} I_{SQ} &= I_{in}^2 / K_i \\ &= (K_r^2 / K_i) \cdot V_{CNT} \end{aligned}$$

となり、電流ISQは、入力制御電圧VCNTの自乗に比例した値となる。

【0048】次に、可変容量回路22は、トランジスタQ5、Q6、P1、P2、抵抗R2、容量C1および電流源としてのトランジスタQ7により構成されている。トランジスタQ5、Q6は差動増幅器を構成する。

【0049】この可変容量回路22の原理的動作は、ある容量を流れる電流を増幅して元の電流と加算するものであって、前記差動増幅器の増幅率を制御することにより、等価的に容量値を変えようとするものである。この可変容量回路22は、等価的に、図4に示すような回路で説明できる。

$$\begin{aligned} Z_{CIR} &= V_{CIR} / I_{CIR} \\ &= \{1 + (1/j\omega C1) \cdot 1/R2\} / (g_m + 1/R2) \\ &= (R2 + 1/j\omega C1) / g_m \cdot R2 + 1 \end{aligned}$$

ている。

【0044】この自乗掛け算回路21においては、入力された電流ICNTの5倍の電流値の電流ICNT5が自乗されて、トランジスタQ7を流れる出力電流ISQとされるものである。

【0045】自乗掛け算回路21の入力電流ICNT5と、出力電流ISQとの関係は、

$V_{BE7}$  ; トランジスタQ7のベース・エミッタ間電圧  
 $I_{C7}$  ; トランジスタQ7のコレクタ電流  
 $V_{BE8}$  ; トランジスタQ8のベース・エミッタ間電圧  
 $I_{C8}$  ; トランジスタQ8のコレクタ電流  
 $V_{BE9}$  ; トランジスタQ9のベース・エミッタ間電圧  
 $I_{C9}$  ; トランジスタQ9のコレクタ電流  
 $V_{BE10}$  ; トランジスタQ10のベース・エミッタ間電圧  
 $I_{C10}$  ; トランジスタQ109のコレクタ電流  
 $I_s$  ; 飽和電流  
 $I_{in}$  ; 電流ICNTの5倍の入力電流  
 $V_T$  ;  $kT/q$ で表され、常温では26mVである。  
 ただし、kはボルツマン定数、Tは絶対温度、qは電子の電荷量である  
 とすると、以下の式で表される。

【0046】すなわち、

$I_{C8} = \text{一定}$   
 $I_{C7} = I_{SQ}$   
 であるので、(2)式は、 $I_{C8} = K_i$ とすれば、

… (3)

【0050】すなわち、図4において、容量C1を流れる電流IRを抵抗で電圧VRに変換し、この電圧VRを任意の増幅率(gm)を持つ差動増幅器にて電流IMに変換した後、元の電流IRと加算した電流ICIRを得る。したがって、この回路のインピーダンス(容量値ZCIR)は、増幅率gmを変えることで任意の値に制御することができる。

【0051】可変容量回路22のインピーダンスZCIRは、VCIRをその出力電圧とすれば、

$I_{CIR} = I_M + I_R = g_m \cdot V_R + V_R/R2$   
 $V_{CIR} = V_R + (1/j\omega C1) \cdot V_R/R2$   
 であるので、

ここで、 $R2 \leq 1/j\omega C1$  とすれば、  
 $ZCIR \approx 1/\{j\omega C1(gm \cdot R2 + 1)\}$   
 となる。

【0052】差動増幅器の増幅率  $gm$  は、この差動増幅器のバイアス電流であるトランジスタ  $Q7$  を流れる電流  $ISQ$  の値に応じたものとなり、

$$gm = ISQ / 2VT$$

であるので、この例の可変容量回路 22 のインピーダンス  $ZCIR$  (容量値) は、この差動増幅器のバイアス電流  $ISQ$  により制御される。バイアス電流  $ISQ$  は、制御電圧  $VCNT$  に比例するので、可変容量回路 22 のインピーダンス  $ZCIR$  (容量値) は、制御電圧  $VCNT$  に比例するものとなる。

【0053】次に、発振回路 23 は、トランジスタ  $Q2$ 、 $Q4$  により構成されており、コイル  $L1$  ( $IC$  に対して外付け) と、前記インピーダンス  $ZCIR$  との共振周波数で発振する。この発振回路 23 の発振周波数  $FOSC$  は、

【0054】

【数 1】

$$FOSC = \frac{1}{2\pi \sqrt{L1(gm \cdot R2 + 1)C1}}$$

$$= \frac{1}{2\pi \sqrt{L1\left(\frac{ISQ}{2VT} R2 + 1\right)C1}}$$

$ISQ = Ks \cdot ICNT^2$  であるので、

$$FOSC = \frac{1}{2\pi \sqrt{ICNT^2 \cdot K + K'}}$$

ただし、 $Ks$ 、 $K$ 、 $K'$  は定数

となり、入力制御電圧  $VCNT$  が電流変換された電流  $ICNT$  に応じたものとなる。

【0055】上述のように構成した、この実施の形態においては、自乗掛け算回路 21 を使用したことにより、制御電流  $ICNT$  の変化量と発振周波数の変化量との比を、ほぼ一定とすることができる。図 5 は、発振周波数  $FOSC$  と、制御電流  $ICNT$  との関係を実験により求めたもので、曲線 24 は、この実施の形態の場合の自乗掛け算回路 21 を用いた場合を示しており、曲線 25 は、自乗掛け算回路 21 を用いなかった場合を示している。

【0056】ここで、発振周波数の変化量  $\Delta F$  と制御電流の変化量  $\Delta I$  との比を  $M = \Delta F / \Delta I$  とし、例えば  $ICNT = 40 \mu A$  の時の比  $M$  を  $M1$ 、 $ICNT = 100 \mu A$  の時の比  $M$  を  $M2$  とすると、自乗掛け算回路 21 を用いなかったときには、

$$M1 = -12 \times 10^9 \text{ Hz/A}$$

$$M2 = -2.5 \times 10^9 \text{ Hz/A}$$

$$M1/M2 = 4.8$$

となり、一方、自乗掛け算回路 21 を用いたときには、

$$M1 = -6.5 \times 10^9 \text{ Hz/A}$$

$$M2 = -5 \times 10^9 \text{ Hz/A}$$

$$M1/M2 = 1.3$$

となる。すなわち、自乗掛け算回路 21 を用いることにより、発振回路 21 の発振周波数の変化量と、制御電流  $ICNT$  の変化量との比の変動を少なくすることができる。

【0057】以上のようにして、この実施の形態の局部発振回路 20 は、可変容量ダイオードを用いずに構成することができる。

【0058】次に、 $IC$  化された高周波増幅回路 10 の具体回路例について説明する。

【0059】図 6 は、 $A/D$  変換回路 15 の基本構成を説明するためのブロック図である。実際の  $A/D$  変換回路は、制御電圧  $VCNT$  が電流  $ICNT$  に変換されて入力され、電流動作を行うものであるが、この図 6 では、便宜上、電圧動作として説明する。

【0060】この図 6 の  $A/D$  変換回路は、4 ビットの出力  $B3 \sim B0$  を得る場合の例であり、4 個の基準電圧源 53、52、51、50 と、4 個の比較回路 63、62、61、60 と、減算回路 73、72、71 と、絶対値回路 83、82、81 と、イクスクリューシブオア回路 92、91、90 とからなる。

【0061】入力電圧  $Vin$  (この例の場合には、制御電圧  $VCNT$ ) の変化範囲が  $0 \sim Vmx$  としたとき、

基準電圧源 53 の電圧値  $Vref3 = Vmx/2$

基準電圧源 52 の電圧値  $Vref2 = Vmx/4$

基準電圧源 51 の電圧値  $Vref1 = Vmx/8$

基準電圧源 50 の電圧値  $Vref0 = Vmx/16$

に設定される。

【0062】そして、入力電圧  $Vin$  と基準電圧源 53 の電圧値  $Vref3$  とが比較回路 63 で比較され、 $Vin > Vref3$  のときには、その比較結果として、この  $A/D$  変換回路の  $MSB$  (最上位ビット) 出力  $B3$  が、ハイレベル、すなわち、「1」となり、 $Vin < Vref3$  のときには、その比較結果として、この  $A/D$  変換回路の  $MSB$  (最上位ビット) 出力  $B3$  が、ローレベル、すなわち、「0」となる。

【0063】減算回路 73 では、入力電圧  $Vin$  と基準電圧源 53 の電圧値  $Vref3$  との差分  $\Delta V3$  が求められ、絶対値回路 83 で、この差分  $\Delta V3$  の絶対値が求められる。そして、この絶対値回路 83 の出力  $OUT2$  と、基準電圧源 52 の電圧値  $Vref2$  とが比較回路 62 で比較され、 $OUT2 > Vref2$  のときには、その比較出力は「1」となり、 $OUT2 < Vref2$  のときには、その比較出力は「0」となる。

【0064】そして、この比較回路 62 の出力信号と、比較回路 61 の出力信号とがイクスクリューシブオア回路 92 に供給され、このイクスクリューシブオア回路 92 からは、この  $A/D$  変換回路の最上位から 2 ビット目の出

力B2が、得られる。

【0065】また、減算回路72では、絶対値回路83からの信号OUT2と基準電圧源52の電圧値Vref2との差分 $\Delta V2$ が求められ、絶対値回路82で、この差分 $\Delta V2$ の絶対値が求められる。そして、絶対値回路83の出力OUT1と、基準電圧源51の電圧値Vref1とが比較回路61で比較され、OUT1>Vref1のときには、その比較出力は「1」となり、OUT1<Vref1のときには、その比較出力は「0」となる。

【0066】そして、この比較回路61の出力信号と、イクスクリューブオア回路92の出力信号とがイクスクリューブオア回路91に供給され、イクスクリューブオア回路91からは、このA/D変換回路の最上位から3ビット目の出力B1が、得られる。

【0067】さらに、減算回路71では、絶対値回路82からの信号OUT1と基準電圧源51の電圧値Vref1との差分 $\Delta V1$ が求められ、絶対値回路81で、この差分 $\Delta V1$ の絶対値が求められる。そして、絶対値回路83の出力OUT0と、基準電圧源50の電圧値Vref0とが比較回路60で比較され、OUT0>Vref0のときには、その比較出力は「1」となり、OUT0<Vref0のときには、その比較出力は「0」となる。

【0068】そして、この比較回路60の出力信号と、イクスクリューブオア回路91の出力信号とがイクスクリューブオア回路90に供給され、イクスクリューブオア回路90からは、このA/D変換回路の最下位ビットの出力B0が、得られる。

【0069】以上のようにして、入力制御電圧VCNTをA/D変換したデジタル出力B3~B0が得られる。

【0070】このA/D変換回路の実例的な回路例の一部を、図7~図10に示す。この図7~図10に示す回路は、ビット出力B3、B2を生成する回路部分を示すもので、電流動作を行うものである。

【0071】図7は、図6の比較回路63、減算回路73、絶対値回路83の部分を示すものである。図8は、図6のイクスクリューブオア回路92、比較回路62、減算回路72および絶対値回路82の部分を示すものである。図9は、上記の各回路をバイアスするための電圧レギュレータ回路と、入力制御電流ICNTとの比較用の基準電流源Iref3、Iref2（図6の基準電圧Vref3、Vref2に対応）の生成回路の部分である。さらに、図10は、ビット出力B3およびB2により、切り換え制御されるスイッチSW1、SW2および容量11、12の部分を示している。

【0072】なお、図7~図10において、#10~#25で示す記号は、これらの回路図の間で実際には接続されている部分を示すものである。また、各トランジスタのエミッタ側に記載された小数字は、エミッタ面積比を示している。

【0073】この例においては、後述するように、標準

PNPトランジスタと、標準NPNトランジスタとを直列に接続し、それらトランジスタがBクラス動作をするようにすることにより、比較回路、減算回路、絶対値回路、イクスクリューブオア回路を簡単な構成で実現できるようにしている。また、電流動作を行うようにすることにより、例えば1.5ボルト程度の低電圧でも動作し得るようにしている。

【0074】図9において、電圧源100は、この例では、2ボルトの電源電圧Vccを発生する。また、電圧源101は、例えば1.25ボルトの、温度に対して安定な特性を有するものとされた直流電圧VREGを発生する。電圧レギュレータ回路は、トランジスタQ25、Q26からなる差動増幅器を含んで構成されている。

【0075】トランジスタQ38のベースが、直流電圧VREGによりバイアスされているので、このトランジスタQ38はオンであり、トランジスタP38、Q38および抵抗R14を通じて所定の電流が流れる。

【0076】トランジスタP34は、トランジスタP38とカレントミラー構成の関係にあるので、このトランジスタP34およびダイオード接続されたトランジスタP33、Q34を通じて電流が流れる。このとき、抵抗R11により、トランジスタP33、Q34を通じて例えば1 $\mu$ Aの電流が流れるようにされる。

【0077】トランジスタQ25、Q26により構成される差動増幅器においては、トランジスタQ25のコレクタ出力がトランジスタQ25のベース側に負帰還されているので、これらトランジスタQ25、Q26のベース電位は、同電位となるようにされている。

【0078】この場合、トランジスタP33のエミッタ電位を基準として制御がかかり、端子VBIASに、トランジスタP33のエミッタ電位に等しい安定化電圧が得られる。この端子VBIASに得られる安定な電圧は、図7に示すように、各回路の電源電圧とされている。

【0079】この例においては、図7、図8に示すように、標準PNPトランジスタP35、P37、P39、P61、P63、P65と、標準NPNトランジスタQ35、Q37、Q39、Q63、Q65、Q67とが、それぞれ直列に接続され、これらに、前記の端子VBIASに得られる安定な電圧によりバイアスされている。

【0080】そして、この場合、トランジスタP33、Q34は、エミッタ面積は標準トランジスタの5倍の面積なので、例えば、標準トランジスタであるトランジスタP35、Q35の直列回路に流れる電流は、0.2 $\mu$ Aとなり、これら標準トランジスタP35、Q35等のペアは、Bクラスにバイアスされるものである。

【0081】また、図9において、トランジスタQ41、抵抗R13は、基準電流Iref3を得る電流源を構成し、トランジスタQ42、抵抗R14は、基準電流Iref2を得る電流源を構成する。

【0082】すなわち、電圧源101の直流電圧VREG

により、抵抗 R15、ダイオード接続のトランジスタ Q51、抵抗 R16 を通じて所定の電流が流れる。トランジスタ Q41、Q42 は、トランジスタ Q51 とカレントミラーの関係にある。そして、この例においては、トランジスタ Q42 のエミッタ面積比が「4」、トランジスタ Q41 のエミッタ面積比が「8」であり、トランジスタ Q41 には、トランジスタ Q42 の 2 倍の電流が流れる。この例では、トランジスタ Q42 には  $10\mu\text{A}$  の電流が、トランジスタ Q41 には  $20\mu\text{A}$  の電流が、それぞれ流れるように構成されている。

【0083】図 7 において、減算回路 73 は、トランジスタ P28、P38 で構成されており、トランジスタ P28 に対して、入力制御電流  $I_{CNT}$  が供給され、トランジスタ P38 側は、基準電流  $I_{ref3}$  の電流源に接続されている。そして、入力制御電流  $I_{CNT}$  と、基準電流  $I_{ref3}$  との差が、両電流の大小関係に応じて、比較回路 63 の一部を構成するトランジスタ P35 あるいはトランジスタ Q35 を通じて流れる。

【0084】比較回路 63 は、トランジスタ P35、P37、P39、Q35、Q37、Q39、P49、Q58 を含んで構成される。また、絶対値回路 83 は、トランジスタ P46、P48、P51、Q53 により構成される。

【0085】そして、例えば、入力制御電流  $I_{CNT} >$  基準電流  $I_{ref3}$  であるときには、トランジスタ P35 はオン、トランジスタ Q35 がオフとなり、このため、トランジスタ P37、Q39 がオンとなり、トランジスタ P49 がオンとなる。したがって、トランジスタ P49 のコレクタ出力として導出されるビット出力 B3 は、ハイレベル（「1」）となる。

【0086】また、入力制御電流  $I_{CNT} <$  基準電流  $I_{ref3}$  であるときには、トランジスタ Q35 がオン、トランジスタ P35 はオフとなり、トランジスタ Q37 がオン、トランジスタ Q39 がオフとなるので、トランジスタ P49 がオフ、トランジスタ Q58 がオンとなり、ビット出力 B3 はローレベル（「0」）となる。

【0087】そして、入力制御電流  $I_{CNT} >$  基準電流  $I_{ref3}$  であるときには、差分の電流  $\Delta I_3 = I_{CNT} - I_{ref3}$  は、トランジスタ P35、P26 を流れる。また、入力制御電流  $I_{CNT} <$  基準電流  $I_{ref3}$  であるときには、差分の電流  $\Delta I_3 = I_{ref3} - I_{CNT}$  が、トランジスタ Q35、Q53、P51、P48 を通じて流れる。したがって、トランジスタ P46、P48 を通じて流れる電流が加算された電流  $I_{out2}$  が次段に流れる。これは、絶対値回路 83 の動作となる。

【0088】トランジスタ P46、P48 のコレクタは、基準電流  $I_{ref2}$  を構成する電流源となるトランジスタ Q42（図 9）のコレクタに接続されているので、前記電流  $I_{out2}$  と、基準電流  $I_{ref2}$  との差の電流が、図 8 のトランジスタ P61、Q63 に流れ込む。これは、減

算回路 72 の動作となる。

【0089】比較回路 62 は、比較回路 63 と同様の構成を備え、トランジスタ P61、P63、P65、Q63、Q65、Q67、P76、Q72 を含んで構成され、また、絶対値回路 82 は、絶対値回路 83 と同様の構成を備え、トランジスタ P71、P74、P78、Q74 により構成される。

【0090】そして、例えば、電流  $I_{out2} >$  基準電流  $I_{ref2}$  であるときには、トランジスタ P61 はオン、トランジスタ Q63 がオフとなり、このため、トランジスタ P63、Q67 がオンとなり、トランジスタ P76 がオンとなる。したがって、トランジスタ P76 のコレクタ出力として導出される比較出力 CMP2 は、ハイレベルとなる。

【0091】また、電流  $I_{out2} <$  基準電流  $I_{ref2}$  であるときには、トランジスタ Q63 がオン、トランジスタ P61 はオフとなり、トランジスタ Q65 がオン、トランジスタ Q67 がオフとなるので、トランジスタ P76 がオフ、トランジスタ Q72 がオンとなり、比較出力 CMP2 は、ローレベル（「0」）となる。

【0092】この比較出力 CMP2 と、前記ビット出力 B3 とは、トランジスタ Q55、Q56 とからなるイクスクルーシブオア回路 92 に供給され、トランジスタ Q56 のコレクタ出力として、ビット出力 B2 が得られる。

【0093】以下、比較回路 61、減算回路 71、絶対値回路 81、イクスクルーシブオア回路 91 および比較回路 60、イクスクルーシブオア回路 90 が同様に構成され、上述したような電流動作により、各ビット出力 B1、B0 がそれぞれ生成される。

【0094】なお、図 7 および図 8 において、トランジスタ P41、P45、Q44、Q45 およびトランジスタ P68、P70、Q68、Q70 は、ヒステリシス回路であり、A/D 変換回路 15 の誤動作を防ぐためのものである。

【0095】以上の回路構成における、ビット出力 B3、比較出力 CMP2、ビット出力 B2 の関係を表す真理値表を図 11 に示す。

【0096】図 10 は、以上のようにして得られたビット出力 B3 およびビット出力 B2 に応じて容量の総合値を切り替える回路の部分である。他のビット出力 B1、B0 についても同様に構成されるのは、前述と同様である。

【0097】図 10 の例は、合成総合容量値出力は、2 系統取り出されるように構成されており、端子 ARFA と、端子 RFOT とのそれぞれから取り出される。いずれの端子を用いるかは任意である。

【0098】容量 11a および容量 11b のそれぞれは、図 1 の容量 11 に対応し、容量 12a および容量 12b のそれぞれは、図 1 の容量 12 に対応している。これら容量は、端子 ARFA あるいは端子 RFOT に並列



に接続されており、それぞれ図 1 のスイッチ SW1 およびスイッチ SW2 を構成するトランジスタ Psw1a, Psw1b およびトランジスタ Psw2a, Psw2b を介して接地されている。

【0099】これらトランジスタ Psw1a, Psw1b およびトランジスタ Psw2a, Psw2b は、ダイオード接続されており、これらトランジスタを通じて電流が流れるときには、容量と接地間は、交流的に短絡され、電流が流れていないときには、開放の状態になる。

【0100】このスイッチとしてのトランジスタ Psw1a, Psw1b およびトランジスタ Psw2a, Psw2b の回路に要求される性能は、短絡時には、十分にインピーダンスが低く、開放時には抵抗性、容量性、ともに十分に高いインピーダンスとなることである。

【0101】この例においては、図示のように、トランジスタ Psw1a, Psw1b およびトランジスタ Psw2a, Psw2b のエミッタ面積を大きくし（図示の例では、標準トランジスタの 40 倍）、短絡時のインピーダンスを下げるように構成している。

【0102】また、容量 11a ~ 12b は、PNP トランジスタ Psw1a, Psw1b および PNP トランジスタ Psw2a, Psw2b のエミッタと、NPN トランジスタ Q60, Q64 および NPN トランジスタ Q69, Q73 のエミッタとの接続点に接続されているため、トランジスタのコレクタ・サブストレート間容量の影響を受けにくく、開放時には、十分に高いインピーダンスとなっている。

【0103】トランジスタ Psw1a, Psw1b に流れる電流は、電流源トランジスタ P59, P66 により決定される。また、トランジスタ Psw2a, Psw2b に流れる電流は、電流源トランジスタ P73, P88 により決定される。

【0104】そして、トランジスタ Psw1a, Psw1b および Psw2a, Psw2b に電流を流すか、否かの制御は、それぞれ差動接続の 1 対のトランジスタ、P57 と P60、P64 と P67、P72 と P75、P79 と P81、およびダイオード接続のトランジスタ Q60, Q64, Q69, Q73 とからなる回路により行なわれる。

【0105】差動接続の一方のトランジスタ P57, P64, P72, P79 のベースは所定値にバイアスされており、他方のトランジスタ P60, P67 のベースには、ビット出力 B3 が、また、他方のトランジスタ P75, P81 のベースにはビット出力 B2 がそれぞれ供給されている。

【0106】そして、例えば、容量 11a について説明すると、ビット出力 B3 がハイレベルとなったときには、差動接続のトランジスタ P57, P40 のうちのトランジスタ P40 がオフ、トランジスタ P57 がオンとなり、ダイオード接続のトランジスタ Q60 を通じてトランジスタ Psw1a に電流が流れるので、容量 11a と接地間は短絡状態になる。

【0107】また、ビット出力 B3 がローレベルになったときには、トランジスタ P40 がオン、トランジスタ P57 がオフとなり、トランジスタ Psw1a には電流は流れず、容量 11a は接地に対して開放となる。

【0108】容量 11b、また、容量 12a および 12b についてのスイッチ制御もまったく同様に行われ、ビット出力 B3, B2 の状態に応じて、容量 11b, 容量 12a および容量 12b と接地間との短絡、開放の状態がスイッチ制御される。

【0109】こうして、スイッチ制御回路 15 としての A/D 変換回路の出力 B3 ~ B0 により、4 個の容量について、接地間との短絡、開放の状態がスイッチ制御され、合成総合容量値が制御される。

【0110】この例の場合、容量 11 は 100 pF、容量 12 は 50 pF、容量 13 は 25 pF、容量 14 は 12.5 pF に選定され、12.5 pF ごとのステップ間隔で合成総合容量値が制御されるように構成されている。

【0111】入力制御電圧 VCNT の変化範囲を 0 ~ 4 ボルトとし、その変換電流 ICNT が 0 ~ 40  $\mu$ A の範囲で変化するとした場合の、入力制御電圧 VCNT とビット出力 B3 ~ B0 との関係を図 12 に示し、また、電流 ICNT と、スイッチ SW1 ~ SW4 の状態と、合成総合容量値との関係を図 13 に示す。

【0112】この実施の形態では、このようにして、総合容量値が 1.25 pF ステップで変えられることにより、局部発振周波数のステップ変化と連動して、高周波増幅回路の同調周波数を変えられる。そして、この場合、1 個の制御電圧入力端子 30T から入力された制御電圧 VCNT により、局部発振周波数および高周波同調周波数が同時に変えられ、受信周波数を変えられるものである。

【0113】なお、スイッチ制御回路を構成する A/D 変換回路 15 は、上述の例のように 4 ビットではなく、それ以上のビット数の構成とすることも容易にでき、さらに、細かいステップで総合容量値を変化させることも可能である。

【0114】以上のようにして、この実施の形態のラジオ受信機においては、高周波増幅回路と局部発振回路とは、共に可変容量ダイオードを用いない構成であり、IC 化が容易である。また、電圧昇圧回路も不要となるので、安価に、デジタルチューニング方式のラジオ受信機を製造できる。

【0115】そして、1 個の制御端子を通じて入力される制御電圧 VCNT により、高周波同調周波数および局部発振周波数を変えられるので、IC 化のときのピン数が少なくできると共に、ラジオ受信機の製造時のトラッキング調整が容易になる。

【0116】なお、以上はデジタルチューニング方式の AM ラジオ受信機の場合について説明したが、高周波増

幅回路および局部発振回路の部分に、上述の構成の IC を用いると共に、制御電圧 VCNT を可変抵抗器を使用して生成するように構成することにより、アナログチューニング方式の AM ラジオ受信機を実現することができる。このアナログチューニング方式の AM ラジオ受信機の場合には、バリコンが不要になるため、コストが削減されると共に、受信周波数の制御を可変抵抗器で行うので、バリコンを用いる場合に比べて、部品レイアウトの自由度が向上する。

【0117】

【発明の効果】以上説明したように、この発明によれば、可変容量ダイオードを用いずに、IC 化の容易な可変容量回路を実現することができる。したがって、この発明による可変容量回路を高周波増幅回路の同調容量に使用すれば、外付け部品が少なくなり、安価なデジタルチューニング方式の AM ラジオ受信機を提供することができる。

【0118】また、この発明によれば、IC 化の容易な A/D 変換回路を実現することができる。

【図面の簡単な説明】

【図 1】この発明による AM ラジオ受信機の一実施の形態の回路図である。

【図 2】図 1 の実施の形態の一部の具体回路例を示す図である。

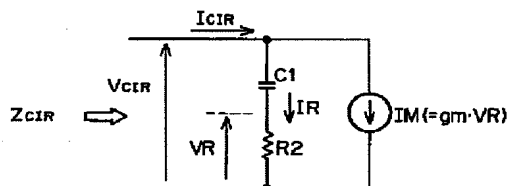
【図 3】図 1 の実施の形態の一部の具体回路例を示す図である。

【図 4】図 1 の実施の形態の要部の説明のための図である。

【図 5】図 1 の実施の形態の要部の説明のための図である。

【図 6】図 1 の実施の形態の一部の回路の基本的構成を説明するためのブロック図である。

【図 4】



【図 7】図 7 に示した回路の具体回路例の一部を示す図である。

【図 8】図 7 に示した回路の具体回路例の一部を示す図である。

05 【図 9】図 7 に示した回路の具体回路例の一部を示す図である。

【図 10】図 7 に示した回路の具体回路例の一部を示す図である。

10 【図 11】図 7 に示した回路の具体回路例の動作を説明するための図である。

【図 12】図 7 に示した回路の具体回路例の動作を説明するための図である。

【図 13】図 7 に示した回路の具体回路例の動作を説明するための図である。

15 【図 14】AM ラジオ受信機の基本的構成を説明するためのブロック図である。

【図 15】従来の AM ラジオ受信機を説明するための図である。

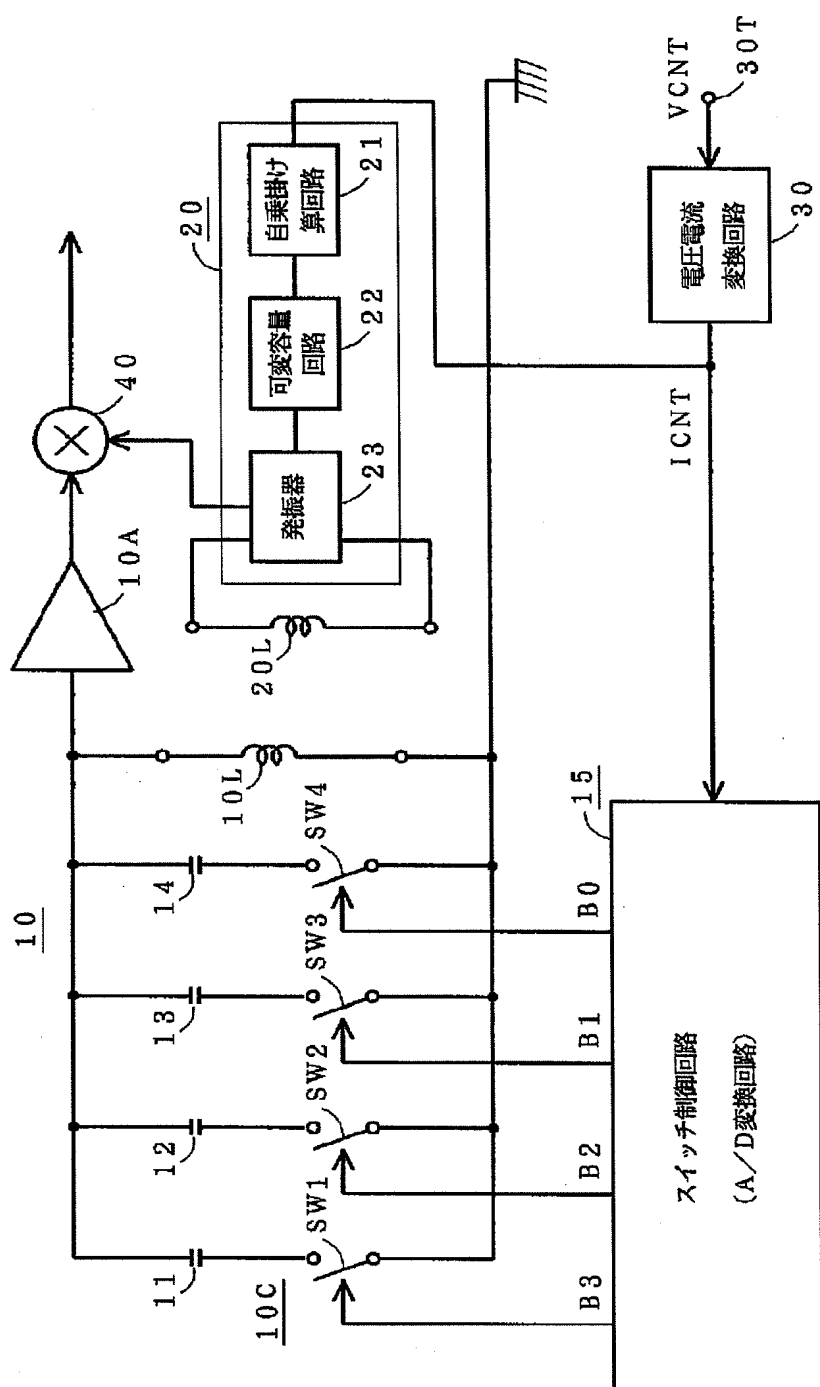
【符号の説明】

20	10	高周波増幅回路
	10L	バーアンテナ
	11~14	高周波増幅回路の同調容量
	15	スイッチ制御回路 (A/D 変換回路)
	20	局部発振回路
25	21	自乗掛け算回路
	22	可変容量回路
	23	発振器
	30	電圧電流変換回路
	30T	制御電圧の入力端子
30	SW1~SW4	スイッチ
	VCNT	制御電圧
	ICNT	制御電圧 VCNT の変換電流

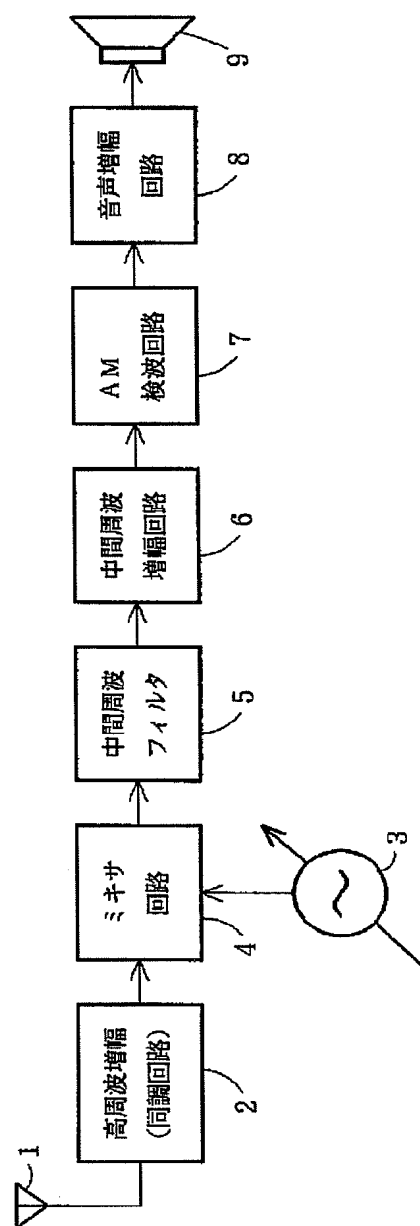
【図 11】

ビット出力 B3	LOW	LOW	HIGH	HIGH
比較出力 CMP2	LOW	HIGH	LOW	HIGH
ビット出力 B2	LOW	HIGH	HIGH	LOW

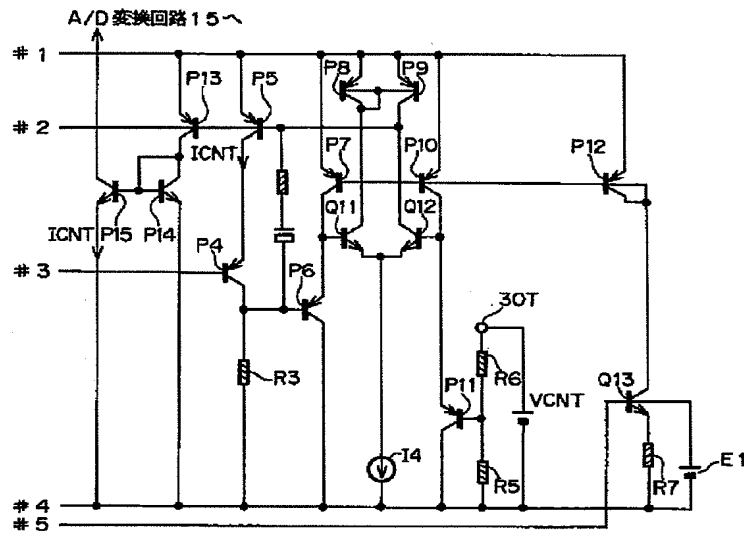
【図 1】



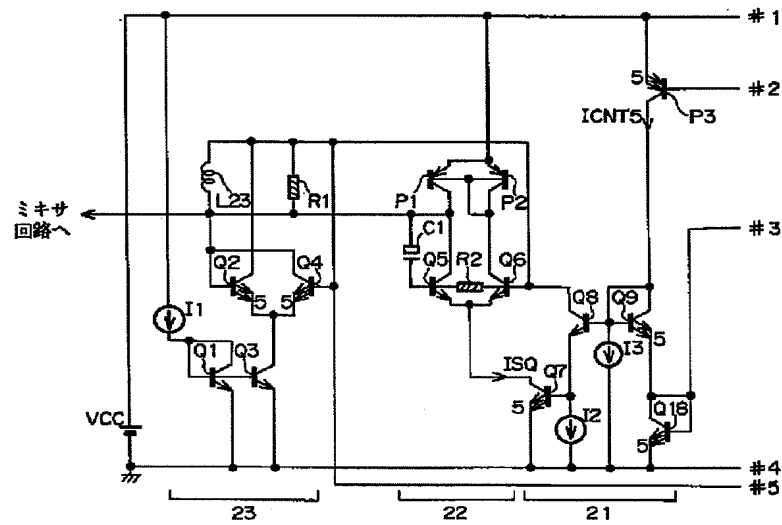
【図 1 4】



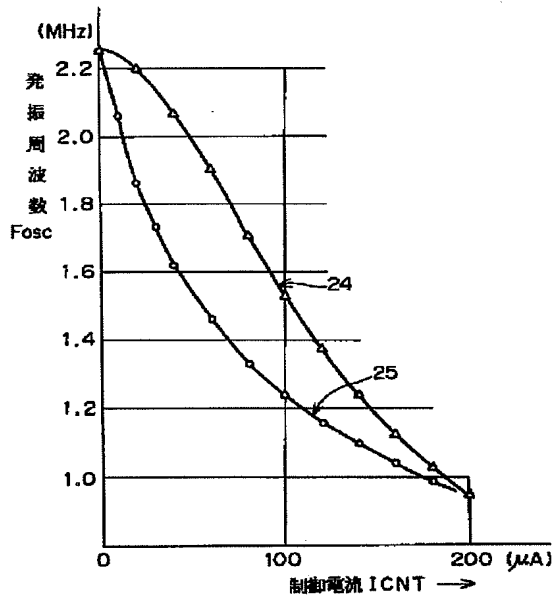
【図2】



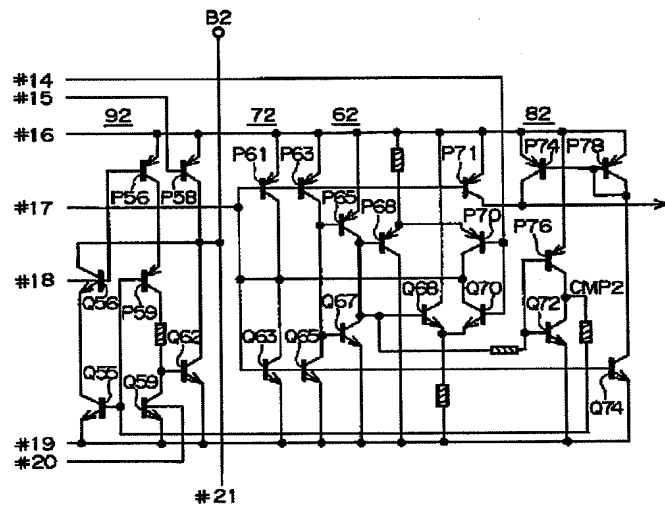
【図3】



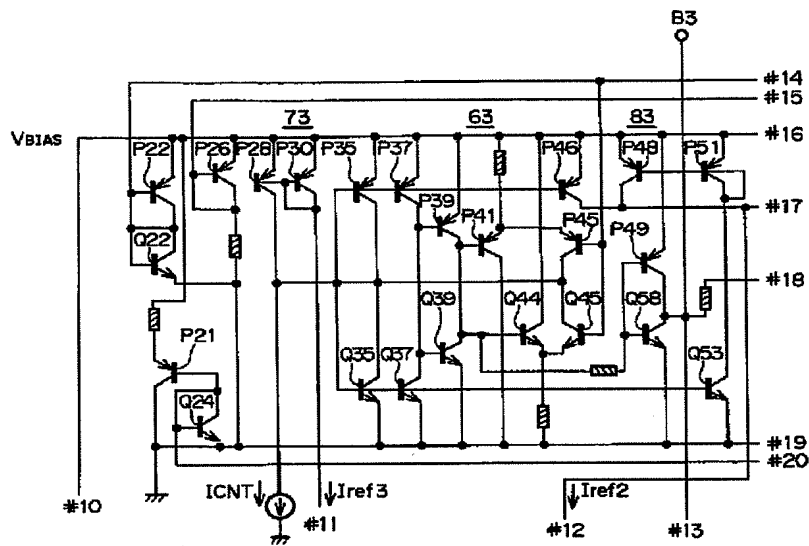
【図5】



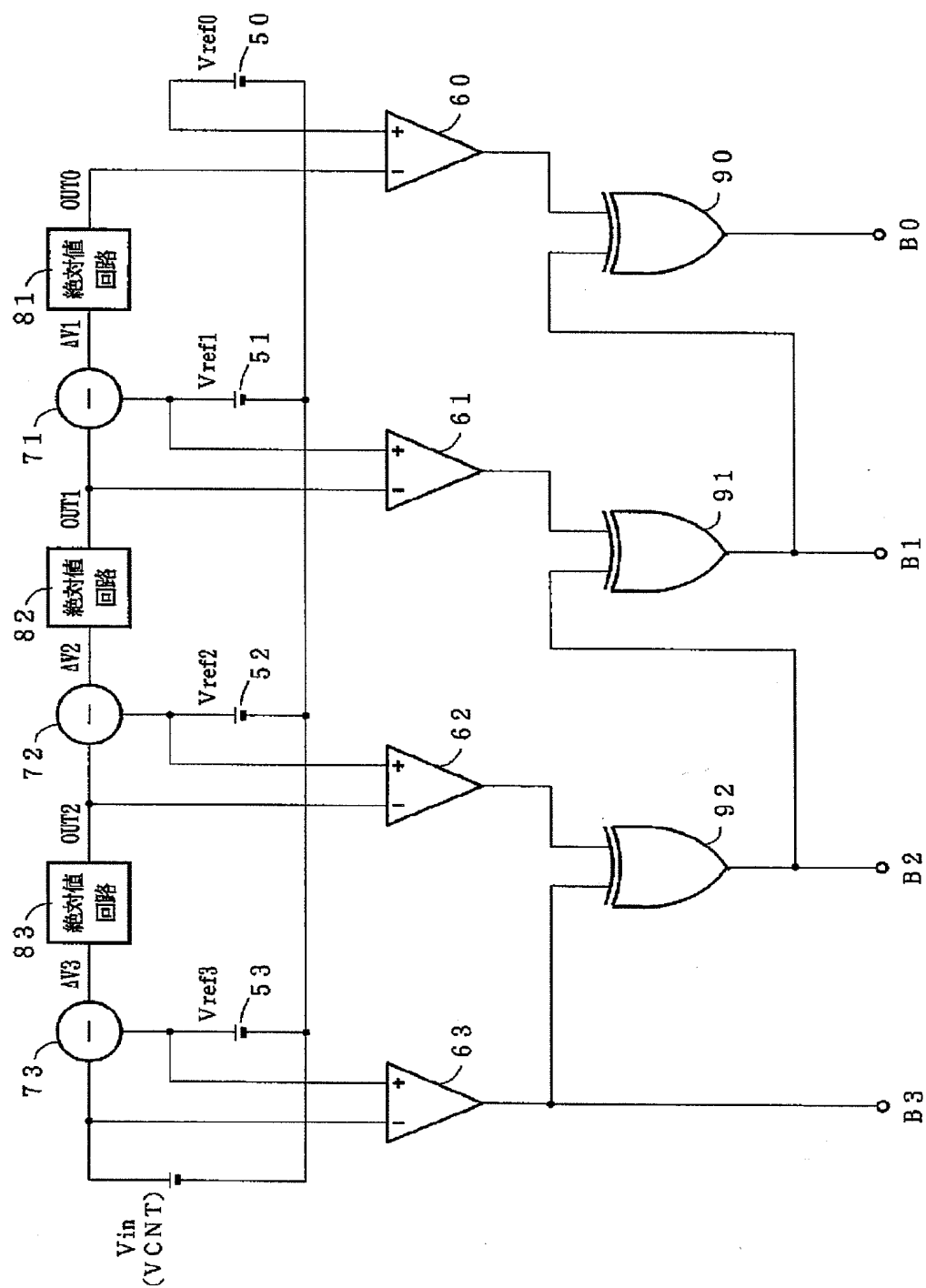
【図8】



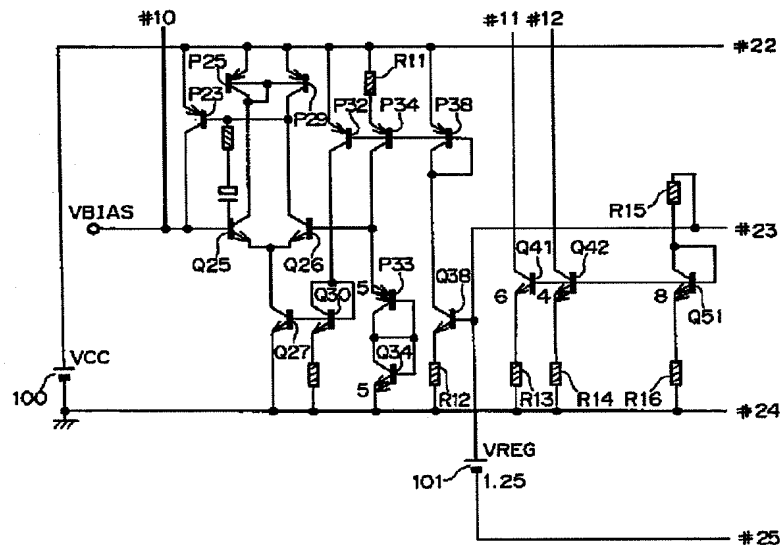
【図7】



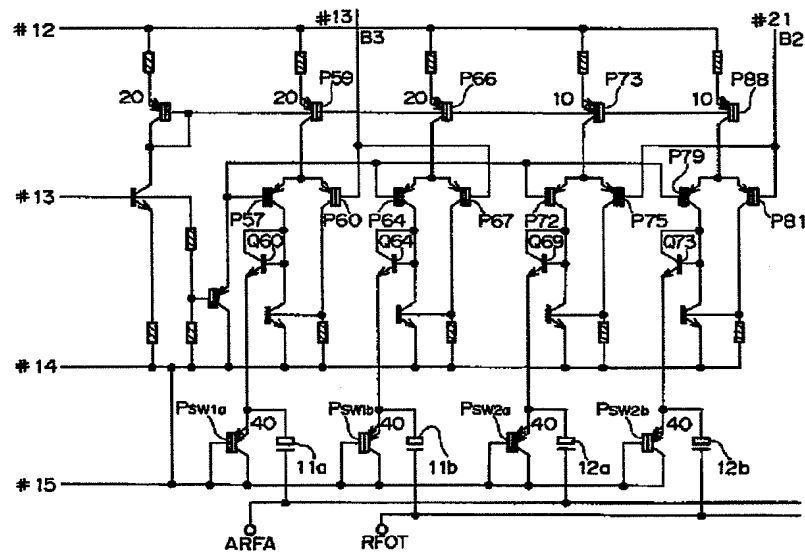
【図6】



【図 9】



【図 10】



【図12】

入力電圧 (Vin)	B3	B2	B1	B0
0.0~0.25 (秒)	HIGH	HIGH	HIGH	HIGH
0.25~0.5	HIGH	HIGH	HIGH	LOW
0.5~0.75	HIGH	HIGH	LOW	HIGH
0.75~1.0	HIGH	HIGH	LOW	LOW
1.0~1.25	HIGH	LOW	HIGH	HIGH
1.25~1.5	HIGH	LOW	HIGH	LOW
1.5~1.75	HIGH	LOW	LOW	HIGH
1.75~2.0	HIGH	LOW	LOW	LOW
2.0~2.25	LOW	HIGH	HIGH	HIGH
2.25~2.50	LOW	HIGH	HIGH	LOW
2.50~2.75	LOW	HIGH	LOW	HIGH
2.75~3.0	LOW	HIGH	LOW	LOW
3.0~3.25	LOW	LOW	HIGH	HIGH
3.25~3.5	LOW	LOW	HIGH	LOW
3.5~3.75	LOW	LOW	LOW	HIGH
3.75~4.0	LOW	LOW	LOW	LOW

【図13】

入力電流 I <sub>CNT</sub>	SW1	SW2	SW3	SW4	容量合計
0.0~2.5 (μA)	OFF	OFF	OFF	OFF	0 (pF)
2.5~5.0	OFF	OFF	OFF	ON	12.5
5.0~7.5	OFF	OFF	ON	OFF	25
7.5~10.0	OFF	OFF	ON	ON	37.5
10.0~12.5	OFF	ON	OFF	OFF	50
12.5~15.0	OFF	ON	OFF	ON	62.5
15.0~17.5	OFF	ON	ON	OFF	75
17.5~20.0	OFF	ON	ON	ON	87.5
20.0~22.5	ON	OFF	OFF	OFF	100
22.5~25.0	ON	OFF	OFF	ON	112.5
25.0~27.5	ON	OFF	ON	OFF	125
27.5~30.0	ON	OFF	ON	ON	137.5
30.0~32.5	ON	ON	OFF	OFF	150
32.5~35.0	ON	ON	OFF	ON	162.5
35.0~37.5	ON	ON	ON	OFF	175
37.5~40.0	ON	ON	ON	ON	187.5

【図15】

